

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-338440

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20
G09G 3/20

(21)Application number : 11-053825

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 02.03.1999

(72)Inventor : MAMEZUKA KOJI

(30)Priority

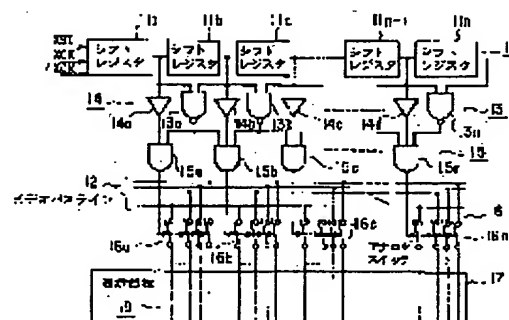
Priority number : 10 73876 Priority date : 23.03.1998 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide liquid crystal display elements that form a liquid crystal pixel and a timing control circuit for driving it on the same substrate and for preventing both a ghost occurrence and display level degradation so as to ensure the improved display level.

SOLUTION: These liquid crystal display elements form a liquid crystal pixel and a timing control circuit for driving it on the same substrate; a time series of shift-register output signals output from adjacent shift registers 11 is input and a superposed part of the output signals is detected by a NAND circuit 13 and the first shift-register output signal is trailed by an AND circuit 15 when the second shift-register output signal rises up; the AND circuit 15 generates a timing control signal to open/close an analog switch 16 so that the liquid crystal pixel is driven by the timing control circuit.



LEGAL STATUS

[Date of request for examination]

02.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3034515

[Date of registration]

18.02.2000

[Number of appeal against examiner's decision of

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal pixel which has been arranged at a part for each intersection of the scanning line and the signal line which were arranged in the shape of a matrix on the insulating substrate, and was connected to said signal line through the transistor, The switch section which is formed on said insulating substrate and supplies a video signal by alternative change of said signal line in each, The shift register constituted by two or more flip-flop circuits which cascade connection is mutually carried out and output a shift pulse in [transmit to the next step one by one, and] juxtaposition synchronizing with a predetermined clock signal, The duplication detector which the output pulse of said flip-flop circuit which adjoins mutually is inputted, and generates and outputs the reversal AND signal of these output pulses, The liquid crystal display component characterized by providing the output circuit which the output pulse outputted from the flip-flop circuit of the preceding paragraph among said flip-flop circuits which adjoin mutually, and said reversal AND signal are inputted, and generates and outputs the AND signal of this output pulse and a reversal AND signal.

[Claim 2] Said duplication detector is a liquid crystal display component according to claim 1 characterized by being constituted by the NAND gate.

[Claim 3] Said output circuit is a liquid crystal display component according to claim 1 characterized by being constituted by the AND gate.

[Claim 4] Said shift register, said duplication detector, and said output circuit are a liquid crystal display component according to claim 3 characterized by being constituted by the thin film transistor.

[Claim 5] The liquid crystal display component according to claim 4 characterized by forming said liquid crystal pixel, said switch section, said shift register, said duplication detector, and said output circuit on the same glass substrate in said liquid crystal display component.

[Claim 6] Said thin film transistor is a liquid crystal display component according to claim 4 characterized by consisting of a polycrystalline silicon thin film transistor.

[Claim 7] The liquid crystal display component according to claim 1 characterized by having the signal-line drive circuit which connects with the analog switch group which carries out a switching action with the AND signal by which a sequential output is carried out from said output circuit, and said analog switch group, has further the video bus line which spreads a video signal for two or more liquid crystal display components, and consists of a pair of a liquid crystal cell and a thin film transistor (active element), and which drives said two or more liquid crystal display components.

[Claim 8] Said signal-line drive circuit is a liquid crystal display component according to claim 7 characterized by constituting by the thin film transistor.

[Claim 9] Said thin film transistor is a liquid crystal display component according to claim 8 characterized by consisting of a pch silicon thin film transistor.

[Claim 10] The liquid crystal display component according to claim 9 to which the thin film transistor which constitutes said signal-line drive circuit, and said thin film transistor (active element) of said liquid crystal display component are characterized by being formed by the same laminated structure on the same substrate.

[Claim 11] Said signal-line drive circuit Liquid crystal display component according to claim 7 characterized by driving per a group's block which the analog switch group defined beforehand.

[Claim 12] The liquid crystal pixel which has been arranged at a part for each intersection of the scanning line and the signal line which were arranged in the shape of a matrix on the insulating substrate, and was connected to said signal line through the thin film transistor, The switch section which is formed on said insulating substrate and supplies a video signal by alternative change of said signal line in each, The shift

register section which a series connection is carried out so that a predetermined shift pulse may be transmitted to the next step one by one, and outputs a shift register output signal at the time of a transfer and which consists of two or more shift registers, Two or more control circuits from which said each shift register output signal is relayed to said switch section, The shift register output signal serially outputted from said two adjacent shift registers is inputted. The detecting element which supplies the detection pulse equivalent to the lap part of those signals to the control circuit which performs said junction for the output signal of the shift register of the preceding paragraph between said two shift registers, It is the liquid crystal display component which possesses and is characterized by said control circuit suspending the junction of said shift register output signal synchronizing with said detection pulse.

[Claim 13] The liquid crystal pixel which has been arranged at a part for each intersection of the scanning line and the signal line which were arranged in the shape of a matrix on the insulating substrate, and was connected to said signal line through the thin film transistor, between said liquid crystal pixels and said signal lines -- intervening -- respectively -- alike -- flow/-- unjust -- a connoisseur being changed and with the switch section which supplies the video signal from said signal line to said liquid crystal pixel The shift register section to which the series connection of the shift register constituted in shift pulse by the flip-flop circuit which outputs a shift register output signal in [transmit to the next step one by one, and] juxtaposition synchronizing with a predetermined clock signal is carried out, The NAND gate section which outputs the output signal which inputs two signals of the shift register output signal of an input side, and the shift register output signal of an output side, and shows the lap part of a signal to said each shift register, Said shift register output signal and output signal of said NAND gate section are inputted. From the shift register of the preceding paragraph by which the series connection was carried out, when a latter shift register to a shift register output signal is outputted during an output, a shift register output signal The liquid crystal display component which generates the timing control signal which made the shift register output signal currently outputted from the shift register of the preceding paragraph turn off based on the output signal from said NAND gate section, and is characterized by providing the AND-gate section which drives said switch section one by one.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display component from which the timing control circuit which drives the liquid crystal display component and this liquid crystal display component of a active-matrix mold is constituted from on the same substrate by the thin film transistor of the same structure.

[0002]

[Description of the Prior Art] Generally, compared with indicating equipments, such as the Braun tube, a liquid crystal display has the features, such as a light weight, a thin shape, and a low power, and is used abundantly as display devices, such as television, a Personal Digital Assistant, or a graphics display.

[0003] The active matrix liquid crystal display which arranged the thin film transistor (TFT is called below Thin Film Transistor:) which operates as a switching element is shown in this liquid crystal display. This active matrix liquid crystal indicating equipment is excellent in high-speed responsibility, and fits highly minute-ization, and its attention is paid to it as what realizes high-definition-izing of a display screen needed from now on, enlargement, and color picture-ization.

[0004] furthermore, in recent years, narrow-picture-frame-izing (translation notes: the width of face of a wrap case part (frame) should become small about the perimeter of the liquid crystal panel used for a personal computer, a liquid crystal television, etc., and even when a sheathing form is the same as the former, the area of a liquid crystal panel should be large), thin-shape-izing, and high definition fine ** of a small screen are also required, and the drive circuit one apparatus liquid crystal display of the type which contained the drive circuit is proposed.

[0005] It is the description that this drive circuit one apparatus liquid crystal display arranges the signal-line drive circuit and the scanning-line drive circuit on the same substrate.

[0006] Next, an example of conventional signal-line drive circuitry is shown in drawing 5. Drawing 6 shows an example of the drive wave.

[0007] This signal-line drive circuit consists of two or more shift registers 1a and 1b, --1n, two or more buffer circuit 2a, 2b, --2n, two or more analog switch group 3a, --3n, and two or more video bus lines 4a and 4b and --4n.

[0008] And the writing of the video signal to a viewing area 5 is attained by the electrical potential difference charged by the video bus line 4 letting an analog switch 3 pass, and being charged to a signal line 6.

[0009] Many signal lines 6 are connected to said video bus line 4 through the analog switch 3. Closing motion of an analog switch 3 makes two or more switches one group, and operates coincidence (the unit opened and closed to this coincidence is hereafter called a block). For this reason, a video-signal electrical potential difference is charged by how many of that signal line 6 at coincidence, and a video signal is written in a viewing area 5. Timing of this closing motion is performed by the shift register 1.

[0010] A control signal (start pulse) XST and the control signals (clock signal) XCK/XCK which are two kinds from which a phase differs mutually are inputted into said shift register 1. As shown in drawing 6, a control signal XST serves as shift data which carry out a sequential shift synchronizing with falling of a control signal XCK. The shift register output (shift data) opens and closes an analog switch 3 as an analog switch control signal a. In addition, when the analog switch control signal a closes, the video-signal applied voltage b is impressed so that a target voltage level may be reached.

[0011] In the drive circuit one apparatus liquid crystal display mentioned above, in order to form driver elements, such as TFT, on a glass substrate, as compared with the component formed on the silicon semi-

conductor substrate, it is easy to produce dispersion in a property.

[0012] By dispersion in this property, a lap arises in standup falling (closing motion time amount of a switch) of the analog switch control signal with which circuit delay and a wave provincial accent occur and adjoin each other. Reflected [the image to a contiguity block pixel] (a ghost is called hereafter) occurs for this lap.

[0013] Next, a ghost's cause of generating is explained.

[0014] Drawing 7 shows the analog switch control signal wave a and the video-signal applied-voltage wave b without the lapping part between each wave.

[0015] In this condition, in order that the analog switch control signal of the preceding paragraph may close before the analog switch control signal of the next step opens, the target electrical potential difference can be written in a video signal, and a ghost does not occur.

[0016] Moreover, drawing 8 shows the voltage waveform c charged by the video-signal applied-voltage wave b inputted into the analog switch control signal wave a with the part which laps between each wave, and the signal-line drive circuit, and the next step block before 1 level period, and the video-signal applied-voltage wave d actually written in.

[0017] As mentioned above, the electrical potential difference on which the writing to a signal line was charged by the video bus line is performed through an analog switch. When a lap arises in the analog switch control signal wave a at this time, the electrical potential difference charged by the signal line c of a next step block will leak to a video bus line through an analog switch to the block which is writing in, when the analog switch opened.

[0018] Consequently, when the analog switch control signal 91 shown in drawing 8 closes, in order for video-signal applied voltage to serve as the voltage waveform 92 influenced of the next step block electrical potential difference and to charge a signal line by the voltage waveform at this time, the ghost in front of 1 level period will appear in a viewing area.

[0019] Moreover, supposing circuit delay is fixed and the lap of an analog switch control signal is also fixed, a lap can be abolished by adjusting a control signal XCK and the phase of /XCK. However, dispersion arises [a circuit time delay or the amount of wave provincial accents] also in the lap of dispersion and an analog switch control signal by dispersion in a TFT property in fact. In this case, a ghost cannot be killed in the phase adjustment of a control signal XCK and /XCK.

[0020] If a lap arises in an analog switch control signal as explained above, a ghost will occur and display level will deteriorate remarkably.

[0021] As a cure which prevents generating of the ghost who will come, to JP,5-216441,A, a part for the point of the shift pulse of the next step is deleted to the falling timing of the shift pulse of the preceding paragraph, and the horizontal scanning circuit which loses a lap part is proposed.

[0022] In drawing 9, the rough configuration based on the official report is shown, and each signal wave form in the configuration is shown in drawing 10 at it.

[0023] This configuration adds the NOR circuit of 2 terminal input used as a fixed pattern removal circuit to each output signal one end of shift register S/R.

[0024] Shift pulse (shift register output signal) D_{n+1} outputted from the shift register in this circuit $NAND_{n+1}$ 1 order pulse signal B_{n+1} It is reversed.

[0025] NOR_{n+1} on the Rhine It is 1 order pulse signal B_{n+1} to one input edge. It is inputted, and pulse signal ϕ_{in} for operating the switching transistor S outputted from the delay circuit DLY_n of the preceding paragraph branches and inputs into the other end.

[0026] NOR_{n+1} [and] from -- 1 order pulse signal B_{n+1} 2 order pulse signal C_{n+1} used as the negative logic sum of pulse signal ϕ_{in} It is outputted. This 2 order pulse signal C_{n+1} Delay circuit DLY_{n+1} Predetermined time t delay of is done and it is pulse signal ϕ_{in+1} . It is outputted.

[0027] That is, 1 order pulse signal B_{n+1} used as the lap part of a shift register output signal A part is removed to falling of the secondary pulse signal of the preceding paragraph, and predetermined time t delay of it is further done by the delay circuit DLY .

[0028] Therefore, as shown in drawing 10, it is a switching transistor S_n and switching transistor S_{n+1} . Pulse signal (analog switch control signal) ϕ_{in} and pulse signal ϕ_{in+1} to drive A ghost's generating is ideally controlled by removing the lapping part A and doing predetermined time t delay of.

[0029]

[Problem(s) to be Solved by the Invention] However, the shift pulse D_n used as a shift register output signal, i.e., an analog switch, comes to be shown in drawing 11 to the start pulse XST inputted in fact.

[0030] This shift pulse D_n (continuous line) is outputted by internal delay of the flip-flop circuit included in

the register shown in drawing 9 by the wave which the start pulse XST of a square wave differentiated.

[0031] On the other hand depending on the voltage-current property of pchTFT that the rising characteristic of this shift pulse Dn mainly constitutes the clocked inverter inside a flip-flop, it depends for the falling property on the voltage-current property of nchTFT.

[0032] Generally, since [this] the mobility of nchTFT is higher than the mobility of pchTFT, the nchTFT of the absolute magnitude of dispersion in a property is larger. Furthermore, when the so-called LDD (Lightly Doped Drain) structure is adopted as nchTFT, property dispersion by process reason -- a production process becomes complicated rather than pchTFT, there is relation which forms a circuit element on a glass substrate, and dispersion in the concentration of the poured-in impurity etc. influences -- becomes large.

[0033] Therefore, dispersion in the transient characteristic of a shift pulse Dn starts, and falls from the dispersion m at the time, and the direction of the dispersion n at the time becomes large. There is a possibility that dispersion in the property of each flip-flop circuit may become a cause, it may become impossible to take a synchronization between the sampling action of each analog switch and a video signal in the Prior art as which the sampling timing of an analog switch is determined, and a desired video signal may not be written in by falling of pulse signal phin. Consequently, there was a possibility that it might become impossible to dedicate a ghost in a permissible level.

[0034] Then, this invention aims at the improvement and aims at offering the liquid crystal display component by which the timing control circuit which drives said liquid crystal pixel, and ** were formed on the same substrate while it prevents a liquid crystal pixel and a ghost's generating and prevents display level degradation.

[0035]

[Means for Solving the Problem] The liquid crystal pixel which has been arranged at a part for each intersection of the scanning line and the signal line which were arranged in the shape of a matrix on the insulating substrate, and was connected to said signal line through the transistor in order that this invention might attain the above-mentioned purpose, The switch section which is formed on said insulating substrate and supplies a video signal by alternative change of said signal line in each, The shift register constituted by two or more flip-flop circuits which cascade connection is mutually carried out and output a shift pulse in [transmit to the next step one by one, and] juxtaposition synchronizing with a predetermined clock signal, The duplication detector which the output pulse of said flip-flop circuit which adjoins mutually is inputted, and generates and outputs the reversal AND signal of these output pulses, The output pulse outputted from the flip-flop circuit of the preceding paragraph among said flip-flop circuits which adjoin mutually, and said reversal AND signal are inputted, and the liquid crystal display component which consists of output circuits which generate and output the AND signal of this output pulse and a reversal AND signal is offered.

[0036] The above liquid crystal display components of a configuration detect the lap of the output signal of an adjacent shift register by the logical circuit, and switch turning on and off for an analog switch control signal compulsorily with the detected signal. That is, since the timing of the analog switch connected to the shift register of the preceding paragraph by the standup timing of a latter shift register output of operation is determined, it is hard coming to generate dispersion in delay of timing of operation between each analog switch, and a good display can be obtained.

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained to a detail with reference to a drawing.

[0037] An example of a signal-line drive circuit which carried the timing control circuit which drives the liquid crystal display component concerning the 1st operation gestalt of the liquid crystal display component by this invention and its liquid crystal display component is shown and explained to drawing 1.

[0038] Two or more shift registers 11 (11a, 11b, --11n) with which the series connection (cascade connection) of this operation gestalt was carried out, The shift register 11 which adjoins two or more video bus lines 12 (12a, 12b, --12n) NAND circuit 13 (13a, 13b, --13n) which inputs two shift register output signals of for example, (shift register 11a and shift register 11b), The buffer circuit 14 (14a, 14b, --14n) which inputs each shift register output signal of said shift register 11, respectively, AND circuit 15 (15a, 15b, --15n) which considers each output of adjacent NAND circuit 13 (for example, 13a and 13b), and the output of a buffer circuit 14 (for example, buffer circuit 14b) as an input, The analog switch group 16 (16a, 16b, --16n) which performs a switching action with the analog switch control signal (timing control signal) outputted from said AND circuit 15, A liquid crystal pixel consists of a viewing area 17 arranged in the shape of a matrix, and a signal line 18 which gives a video signal to each liquid crystal pixel in a viewing area 17 (not shown) through the analog switch group 16.

[0039] Although it is the same as the configuration of drawing 3 mentioned later about the configuration of

said viewing area here, a liquid crystal display component consists of a pair of liquid crystal cell L and a thin film transistor (active element) TFT and it has the vertical-scanning section further, the publication is omitted in drawing 1. In addition, only AND-circuit 15a does not have the NAND-circuit output of the preceding paragraph, and it becomes two inputs of NAND-circuit 13a and buffer circuit 14a which are one. [0040] The front end and the back end of the shift register output signal outputted from a buffer circuit 14 are removed based on each output signal of NAND circuit 13 arranged in the neighbors in drawing, respectively, and said AND circuit 15 outputs them as a NAROGU switch control signal (timing control signal). The back end of this shift register output signal is removed when the front end of the shift register output signal outputted by following starts (it turned on).

[0041] The drive wave in the signal-line drive circuit shown in drawing 1 is shown in drawing 2, and actuation is explained to it. This drawing shows control signals XST and XCK and /XCK, the shift register output signal e, the NAND-circuit output signal f, the AND-circuit output signal a, i.e., an analog switch control signal, and each wave of the video-signal applied-voltage wave b.

[0042] Control signals XST and XCK and three kinds of control signals of /XCK are inputted into this signal-line drive circuit. Although this control signal XST carries out the sequential shift synchronizing with falling of a control signal XCK, the shift pulse delay to which circuit delay and a wave provincial accent become a cause, and the shift register output signal e takes action on later than falling of a control signal XCK (arrow head A), and falls later than falling of the following control signal XCK (arrow head B) has occurred.

[0043] As stated as a conventional trouble, it is generated by internal delay of a shift register, and by property dispersion of TFT generated at the time of manufacture etc., this shift pulse delay starts to the fall time of the shift register output signal e, and bigger dispersion than the time produces it in it.

[0044] Therefore, as drawing 2 shows, the pulse width of the NAND-circuit output signal f which considered the adjacent shift register output signal e as the input becomes a thing reflecting the amount of delay of a shift pulse (arrow heads C and D). However, when there is no lap in the adjacent shift register 11, the NAND-circuit output signal f serves as high-voltage level regularity.

[0045] Although each NAND-circuit output signal f serves as a signal wave form reflecting delay of the shift register 11 of each stage, or a wave provincial accent, this operation gestalt H of the analog switch control signal a and L level are generated using this signal wave form. That is, in order to perform an on-off change-over (arrow head E), overlapping of the AND-circuit output signal a, i.e., an analog switch control signal, shown in drawing 2, even if the clearance according to said pulse width adjoins each other by the ability doing between signals is lost.

[0046] If it puts in another way, since the sampling timing of each analog switch is determined using a standup wave with little transient-characteristic dispersion, it can control dispersion in the amount of delay to a clock.

[0047] It is lost that the adjacent analog switch 16 serves as open at coincidence according to this invention, it is prevented that the electrical potential difference of degree block charged in front of 1 level period leaks through the next analog switch 16, it can charge the video-signal applied voltage for which it asks proper at a signal line, and a ghost stops therefore, occurring in a viewing area 17.

[0048] Next, the example of a configuration of the liquid crystal display component concerning the 2nd operation gestalt by this invention is shown in drawing 3, and it explains to it.

[0049] In AND circuit 15 of the 1st operation gestalt mentioned above, three signals of the output (output of buffer circuit 14b) of a shift register 11, and adjacent NAND-circuit 13a and each output of NAND-circuit 13b had inputted into AND-circuit 15b, for example. For this reason, since the part with which the shift register output signal e lapped is removed as shown in the NAND output signal of drawing 2, between a previous analog switch control signal and the analog switch control signals which follow will lap, and only spacing of a part will be left.

[0050] However, if it is in using and a previous analog switch control signal and the analog switch control signal which follows do not lap, a tooth space may not be between signals.

[0051] So, with the 2nd operation gestalt, as shown in drawing 3, in NAND circuit 13 (13a, 13b, --13n), the shift register output signal e outputted from two adjacent shift registers 11 (for example, 11a and 11b) is inputted, respectively, and the output signal f of NAND-circuit 13a is inputted only into AND circuit 19 (for example, 19a) of 2 terminal input of the preceding paragraph.

[0052] Therefore, AND circuit 19 outputs the analog switch control signal a by the AND of the output signal of a buffer 11, and the output signal f of NAND circuit 13 to the analog switch group 16.

[0053] Two or more liquid crystal display components arranged at a viewing area 17 are arranged for

example, in the shape of a matrix, each liquid crystal display component consists of a pair of liquid crystal cell L and a thin film transistor (active element) TFT, and drawing 4 which has the vertical-scanning section 20 further shows each signal wave form of the signal-line drive circuit of this operation gestalt.

[0054] In this drawing, if the shift register output signal e2 starts when the shift register output signal (for example, e1, e2) e laps and it has a part, the output signal f of NAND circuit 13 will fall. Then, the analog-control signal a1 (shift register output signal e1 with which the back end was removed) falls.

[0055] The analog-control signal a2 (shift register output signal e2) starts at the same time this analog-control signal a1 falls.

[0056] As explained in full detail above, a lap arises to the shift register signal which continues according to this invention, and even if it moreover laps and dispersion is in an amount, a previous analog switch control signal becomes possible [removing a lap part] by bringing down compulsorily by the standup of the analog switch control signal which follows.

[0057] Moreover, in an analog switch control signal, by dispersion's removing a large back end side in falling, and performing a signal change based on the small standup of dispersion, dispersion in the amount of delay of the back end of an analog switch control signal (shift register output signal) and a clock signal is small, only doubles the phase of an analog switch control signal and a video signal, and can adjust the timing of switching.

[0058]

[Effect of the Invention] As explained in full detail above, while according to this invention preventing a liquid crystal pixel and a ghost's generating and preventing display level degradation, the improvement can be aimed at, and the liquid crystal display component by which the timing control circuit which drives said liquid crystal pixel, and ** were formed on the same substrate can be offered.

[Translation done.]

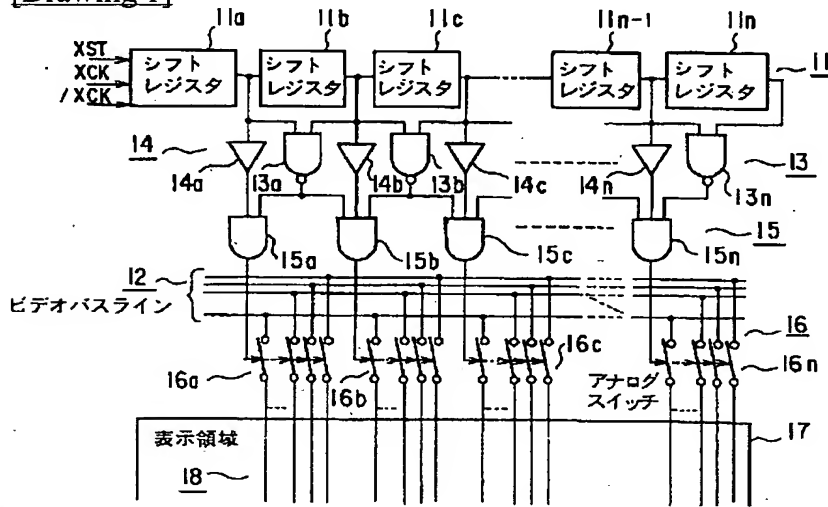
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

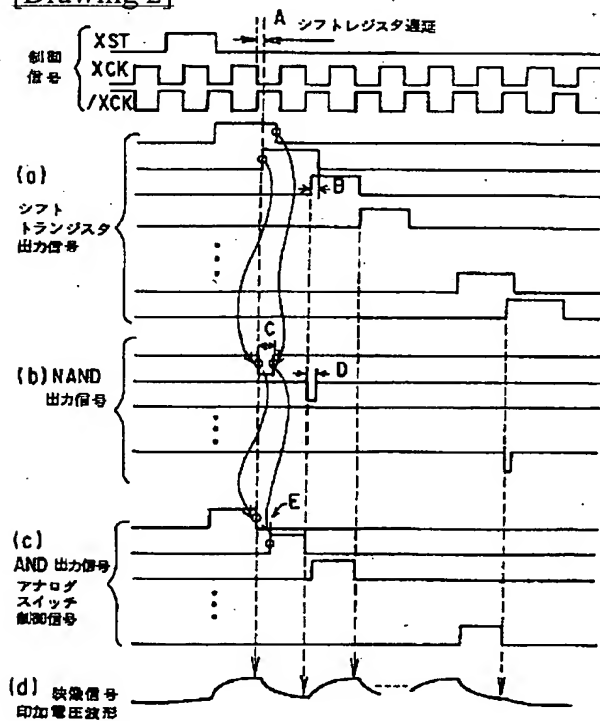
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

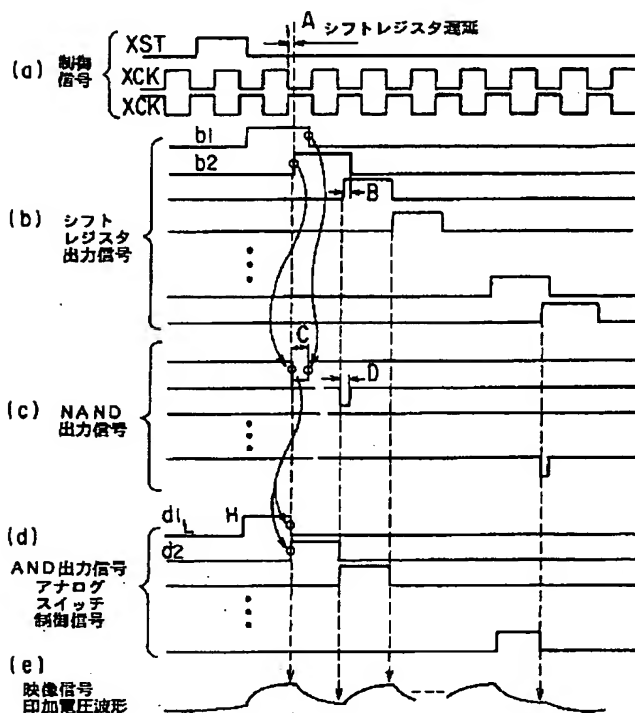
[Drawing 1]



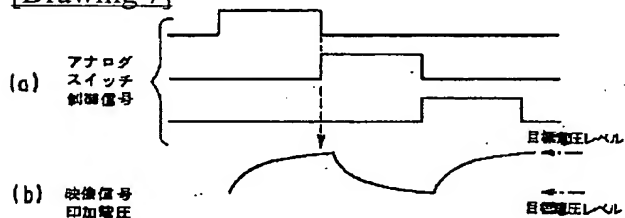
[Drawing 2]



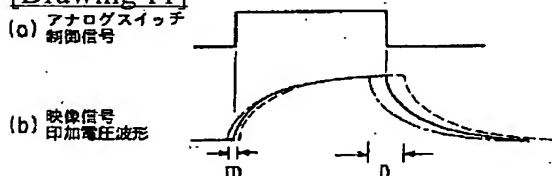
[Drawing 4]



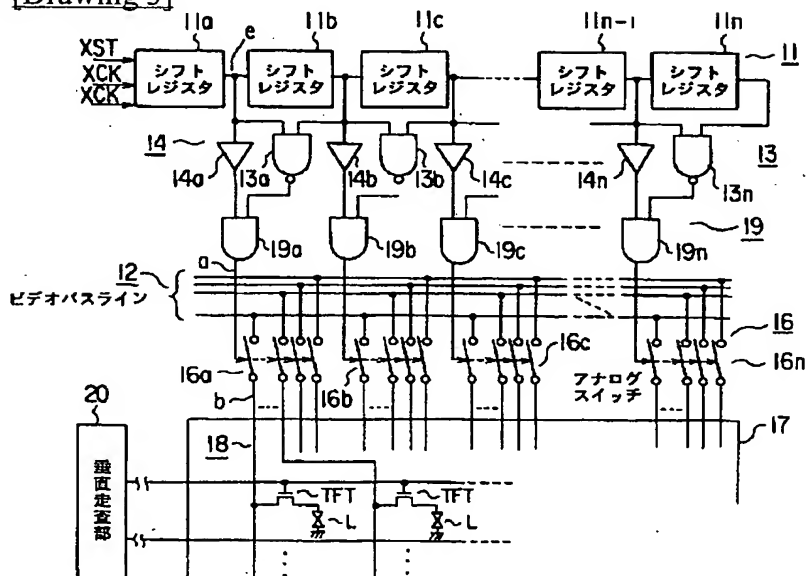
[Drawing 7]



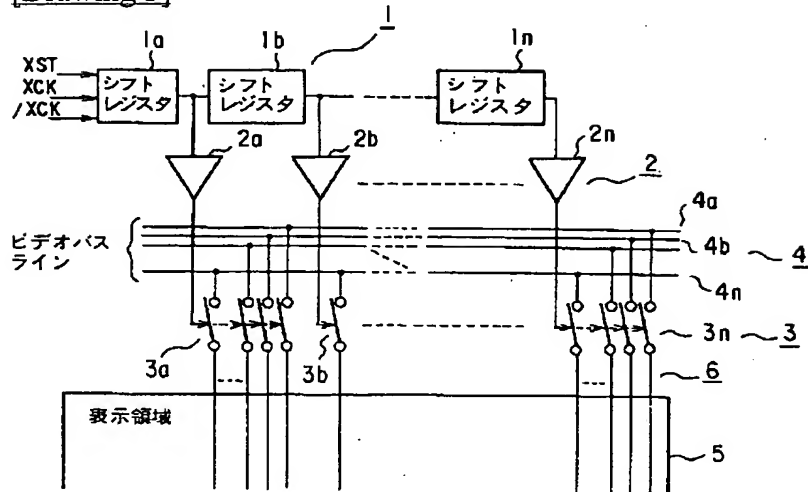
[Drawing 11]



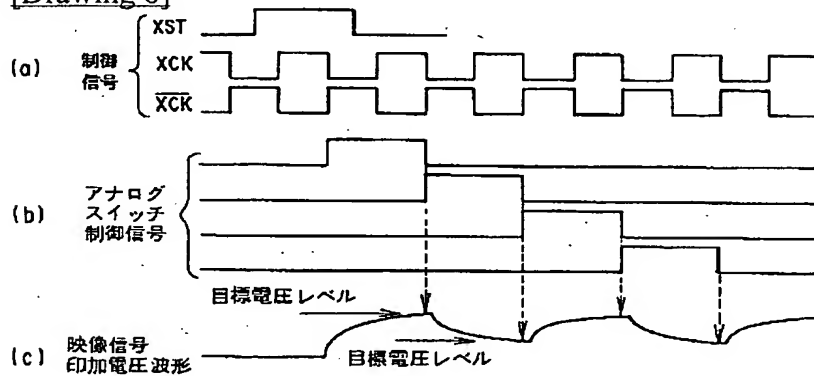
[Drawing 3]



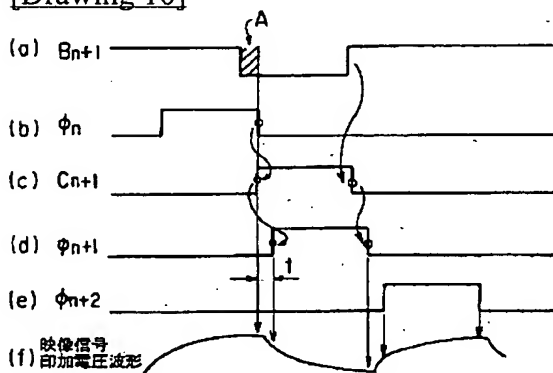
[Drawing 5]



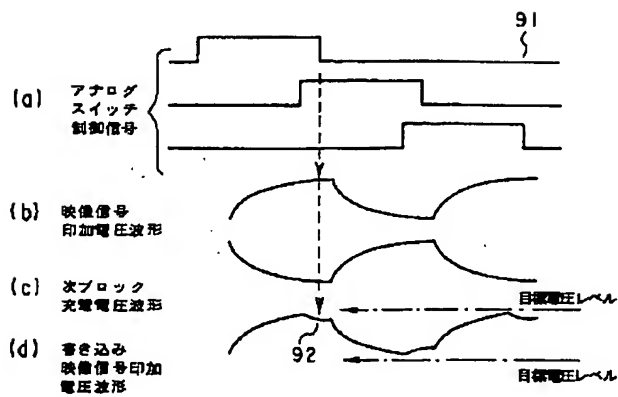
[Drawing 6]



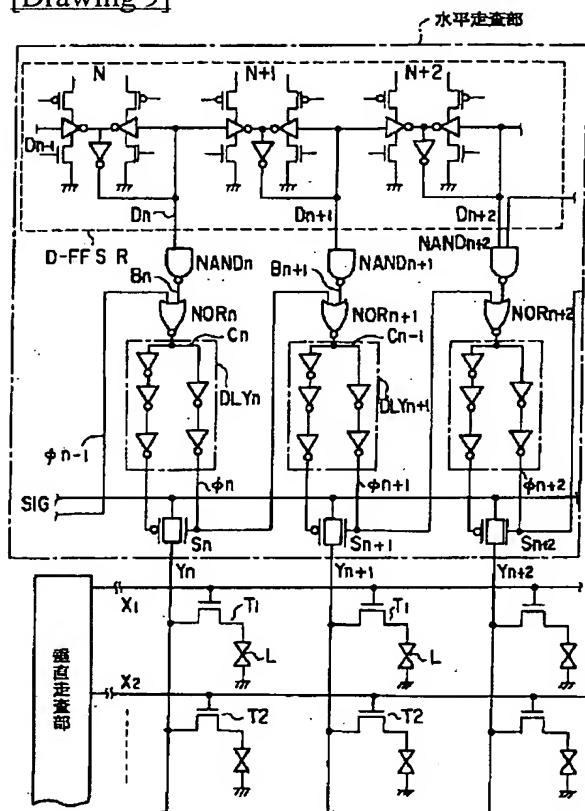
[Drawing 10]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-338440

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁹
G 0 9 G 3/36
G 0 2 F 1/133
G 0 9 G 3/20
識別記号
5 5 0
6 2 3
6 4 1

F I
G 0 9 G 3/36
G 0 2 F 1/133
G 0 9 G 3/20
5 5 0
6 2 3 H
6 4 1 R

審査請求 有 請求項の数13 O L (全 9 頁)

(21)出願番号 特願平11-53825

(22)出願日 平成11年(1999)3月2日

(31)優先権主張番号 特願平10-73876

(32)優先日 平10(1998)3月23日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 豆塚 浩二

埼玉県深谷市幡羅町1丁目9番2号 株式

会社東芝深谷電子工場内

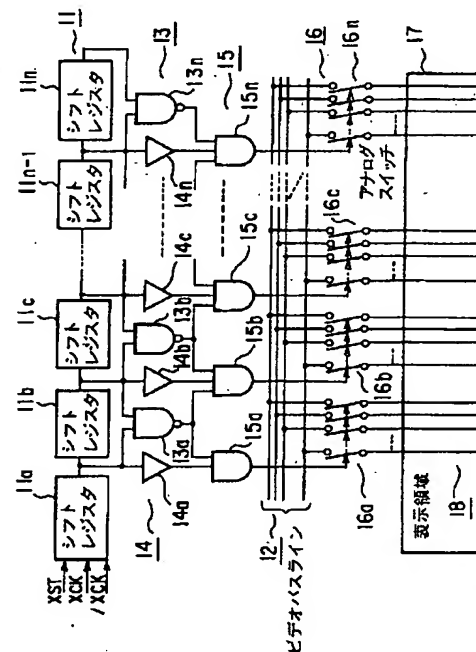
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 液晶表示素子

(57)【要約】

【課題】従来技術による液晶表示素子と同一基板上に信号線駆動回路を形成した場合、ガラス基板上にTFTを形成するため、特性にばらつきが発生しやすく、シフトレジスタ出力信号の終端まで、後続するシフトレジスタ出力信号の先頭部分を除去する技術は、出力信号の終端では、ばらつきが大きく発生し、タイミング調整が困難となっていた。

【解決手段】本発明は、隣り合うシフトレジスタ11から時系列的に出力されるシフトレジスタ出力信号を入力し、NAND回路13でそれらの信号の重なり部分を検出した場合、後続して出力されたシフトレジスタ出力信号が立ち上がった時に、先に出力されているシフトレジスタ出力信号を立ち下げるAND回路15によるタイミング制御信号を生成して、この制御信号でアナログスイッチ16を開閉動作させて液晶画素を駆動するタイミング制御回路と液晶画素が同一基板上に形成された液晶表示素子である。



【特許請求の範囲】

【請求項 1】 絶縁基板上にマトリックス状に配列された走査線と信号線との各交差部分に配置され、前記信号線にトランジスタを介して接続された液晶画素と、前記絶縁基板上に形成され、各々の前記信号線に映像信号を選択的な切り替えにより供給するスイッチ部と、互いにカスケード接続され、シフトパルスを所定のクロック信号に同期して順次次段に転送し、且つ並列的に出力する複数のフリップフロップ回路により構成されるシフトレジスタと、互いに隣接する前記フリップフロップ回路の出力パルスが入力され、これら出力パルスの反転論理積信号を生成し出力する重複検出回路と、

前記互いに隣接するフリップフロップ回路のうち、前段のフリップフロップ回路から出力される出力パルスと前記反転論理積信号が入力され、該出力パルスと反転論理積信号との論理積信号を生成し出力する出力回路と、を具備することを特徴とする液晶表示素子。

【請求項 2】、前記重複検出回路は、NANDゲートにより構成されることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】 前記出力回路は、ANDゲートにより構成されることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 4】 前記シフトレジスタ、前記重複検出回路及び前記出力回路は、薄膜トランジスタにより構成されることを特徴とする請求項 3 に記載の液晶表示素子。

【請求項 5】 前記液晶表示素子において、前記液晶画素と、前記スイッチ部と、前記シフトレジスタと、前記重複検出回路と、前記出力回路とが同一のガラス基板上に形成されることを特徴とする請求項 4 に記載の液晶表示素子。

【請求項 6】 前記薄膜トランジスタは、多結晶シリコン薄膜トランジスタからなることを特徴とする請求項 4 に記載の液晶表示素子。

【請求項 7】 前記出力回路から順次出力される論理積信号により開閉動作するアナログスイッチ群と、前記アナログスイッチ群に接続し、映像信号を複数の液晶表示素子に伝搬するビデオバスラインとをさらに有して、液晶セル及び薄膜トランジスタ（能動素子）の対からなる、複数の前記液晶表示素子を駆動する信号線駆動回路を有することを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 8】 前記信号線駆動回路は、薄膜トランジスタにより構成することを特徴とする請求項 7 に記載の液晶表示素子。

【請求項 9】 前記薄膜トランジスタは、p chシリコン薄膜トランジスタからなることを特徴とする請求項 8 に記載の液晶表示素子。

【請求項 10】 前記信号線駆動回路を構成する薄膜トランジスタと、前記液晶表示素子の前記薄膜トランジスタ（能動素子）とが、同一基板上に同一積層構造で形成されることを特徴とする請求項 9 に記載の液晶表示素子。

【請求項 11】 前記信号線駆動回路 は、アナログスイッチ群が予め定めたグループのブロック単位で駆動されることを特徴とする請求項 7 に記載の液晶表示素子。

10 【請求項 12】 絶縁基板上にマトリックス状に配列された走査線と信号線との各交差部分に配置され、前記信号線に薄膜トランジスタを介して接続された液晶画素と、

前記絶縁基板上に形成され、各々の前記信号線に映像信号を選択的な切り替えにより供給するスイッチ部と、所定シフトパルスを順次次段に転送するように直列接続され、且つ転送時にシフトレジスタ出力信号を出力する、複数のシフトレジスタからなるシフトレジスタ部と、

20 それぞれの前記シフトレジスタ出力信号を前記スイッチ部に中継する複数の制御回路と、

隣り合う 2 つの前記シフトレジスタから時系列的に出力されるシフトレジスタ出力信号が入力され、それらの信号の重なり部分に相当する検出パルスを前記 2 つのシフトレジスタのうち前段のシフトレジスタの出力信号を前記中継を行う制御回路に供給する検出部と、を具備し、前記制御回路は、前記検出パルスに同期して、前記シフトレジスタ出力信号の中継を停止することを特徴とする液晶表示素子。

30 【請求項 13】 絶縁基板上にマトリックス状に配列された走査線と信号線との各交差部分に配置され、前記信号線に薄膜トランジスタを介して接続された液晶画素と、

前記液晶画素と前記信号線との間に介在して、それぞれに導通／非導通の切り替えを行い、前記信号線からの映像信号を前記液晶画素に供給するスイッチ部と、シフトパルスを所定クロック信号に同期して順次次段に転送し、且つ並列的にシフトレジスタ出力信号を出力するフリップフロップ回路により構成されるシフトレジスタが直列接続されるシフトレジスタ部と、

40 それぞれの前記シフトレジスタに対して、入力側のシフトレジスタ出力信号と出力側のシフトレジスタ出力信号の 2 信号を入力し、信号の重なり部分を示す出力信号を出力する NAND ゲート部と、

前記シフトレジスタ出力信号と前記 NAND ゲート部の出力信号を入力し、

直列接続された前段のシフトレジスタからシフトレジスタ出力信号を出力中に、後段のシフトレジスタからシフトレジスタ出力信号が出力された時には、前記 NAND ゲート部からの出力信号に基づき、前段のシフトレジスタから出力されているシフトレジスタ出力信号をオフさ

せたタイミング制御信号を生成し、順次、前記スイッチ部を駆動するANDゲート部と、を具備することを特徴とする液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型の液晶表示素子と、この液晶表示素子を駆動するタイミング制御回路とが同一基板上で同一構造の薄膜トランジスタにより構成される液晶表示素子に関する。

【0002】

【従来の技術】一般に液晶表示装置は、ブラウン管等の表示装置に比べて、軽量、薄型、低消費電力等の特長を持ち、テレビジョン、携帯情報端末あるいはグラフィックスディスプレイ等の表示素子として多用されている。

【0003】この液晶表示装置には、スイッチング素子として動作する薄膜トランジスタ（Thin Film Transistor: 以下、TFTと称する）を配列したアクティブマトリクス型液晶表示装置がある。このアクティブマトリクス型液晶表示装置は、高速応答性に優れ、高精細化に適しており、今後必要とされるディスプレイ画面の高画質化、大型化、カラー画像化を実現するものとして着目されている。

【0004】更に近年では、狭額縁化（翻訳注：パソコンや液晶テレビ等に用いる液晶パネルの周囲を覆うケース部分（額縁）の幅が小さくなり、従来と外装形が同じでも液晶パネルの面積が大きくなっていること）、薄型化、小型画面の高精細微等も要求され、駆動回路を内蔵したタイプの駆動回路一体型液晶表示装置が提案されている。

【0005】この駆動回路一体型液晶表示装置は、同一基板上に信号線駆動回路と走査線駆動回路を配置していることが特徴である。

【0006】次に図5には、従来の信号線駆動回路構成の一例を示す。図6は、その駆動波形の一例を示している。

【0007】この信号線駆動回路は、複数のシフトレジスタ1a、1b、…1n、複数のバッファ回路2a、2b、…2n、複数のアナログスイッチ群3a、…3nと複数のビデオバスライン4a、4b、…4nから構成される。

【0008】そして表示領域5への映像信号の書き込みは、ビデオバスライン4に充電された電圧がアナログスイッチ3を通して、信号線6へ充電されることで達成される。

【0009】前記ビデオバスライン4には、多数の信号線6がアナログスイッチ3を介して接続されている。アナログスイッチ3の開閉は、複数のスイッチを1グループにして同時に動作させる（以下、この同時に開閉する単位をブロックと称する）。このため、何本かの信号線6に同時に映像信号電圧が充電され、表示領域5に映像

信号が書き込まれる。この開閉のタイミングはシフトレジスタ1により行われる。

【0010】前記シフトレジスタ1には、制御信号（スタートパルス）XSTと、互いに位相が異なる2種類の制御信号（クロック信号）XCK、/XCKが入力される。図6に示したように、制御信号XSTは制御信号XCKの立ち下がりに同期して順次シフトするシフトデータとなる。そのシフトレジスタ出力（シフトデータ）は、アナログスイッチ制御信号aとして、アナログスイッチ3の開閉を行う。尚、映像信号印加電圧bは、アナログスイッチ制御信号aが閉じた時に目標の電圧レベルに到達するように印加する。

【0011】前述した駆動回路一体型液晶表示装置では、ガラス基板上にTFT等の駆動素子を形成するため、シリコン半導体基板上に形成した素子と比較すると、特性にばらつきが生じ易い。

【0012】この特性のばらつきにより、回路遅延や波形なまりが発生し、隣り合うアナログスイッチ制御信号の立ち上がり立ち下がり（スイッチの開閉時間）に重なりが生じる。この重なりのため、隣接ブロック画素への画像の映り込み（以下、ゴーストと称する）が発生する。

【0013】次にゴーストの発生原因について説明する。

【0014】図7は、各波形間には重なる部分の無いアナログスイッチ制御信号波形aと、映像信号印加電圧波形bとを示す。

【0015】この状態では、次段のアナログスイッチ制御信号が開く前に前段のアナログスイッチ制御信号が閉じるため、目的の電圧を映像信号に書き込むことができ、ゴーストが発生することはない。

【0016】また図8は、各波形間に重なる部分があるアナログスイッチ制御信号波形a、信号線駆動回路に入力された映像信号印加電圧波形b、1水平周期前の次段ブロックに充電されていた電圧波形c及び、実際に書き込まれる映像信号印加電圧波形dを示す。

【0017】前述したように、信号線への書き込みは、ビデオバスラインに充電された電圧がアナログスイッチを介して行われる。この時、アナログスイッチ制御信号波形aに重なりが生じると、書き込みを行っているブロックに対して、次段ブロックの信号線cに充電されていた電圧が、アナログスイッチが開いたことにより、アナログスイッチを介して、ビデオバスラインに漏れることとなる。

【0018】その結果、図8に示すアナログスイッチ制御信号91が閉じる時は、映像信号印加電圧が次段ブロック電圧の影響を受けた電圧波形92となり、この時の電圧波形で信号線に充電するため、1水平周期前のゴーストが表示領域に現れることとなる。

【0019】また仮に、回路遅延が一定であり、アナロ

10

20

30

40

50

グスイッチ制御信号の重なりも一定であるならば、制御信号XCKと \neg XCKの位相を調整することで重なりを無くすることができる。しかし実際には、TFT特性のばらつきにより、回路遅延時間や波形なまり量がばらつき、アナログスイッチ制御信号の重なりにもばらつきが生じる。この場合、制御信号XCKと \neg XCKとの位相調整では、ゴーストを消すことは出来ない。

【0020】以上説明したように、アナログスイッチ制御信号に重なりが生じるとゴーストが発生することとなり、表示レベルが著しく劣化する。

【0021】このようなゴーストの発生を防止する対策として、例えば、特開平5-216441号公報には、前段のシフトパルスの立ち下がりタイミングまで次段のシフトパルスの先端部分を削って、重なり部分を無くす水平走査回路が提案されている。

【0022】図9には、その公報に基づく概略的な構成を示し、図10にはその構成における各信号波形を示す。

【0023】この構成は、シフトレジスタS/Rのそれぞれの出力信号端側に固定パターン除去回路となる2端子入力のNOR回路を付加したものである。

【0024】この回路において、例えば、シフトレジスタから出力されたシフトパルス（シフトレジスタ出力信号） D_{n+1} は、 $NAND_{n+1}$ により1次パルス信号 B_{n+1} に反転される。

【0025】そのライン上にある NOR_{n+1} の一方の入力端に1次パルス信号 B_{n+1} が入力され、他端には、前段の遅延回路 DLY_n から出力したスイッチングトランジスタSを動作させるためのパルス信号 ϕ_n が分岐して入力する。

【0026】そして、 NOR_{n+1} から、1次パルス信号 B_{n+1} とパルス信号 ϕ_n の負論理和となる2次パルス信号 C_{n+1} が出力される。この2次パルス信号 C_{n+1} を遅延回路 DLY_{n+1} により所定時間 t 遅延させて、パルス信号 ϕ_{n+1} が出力される。

【0027】つまり、シフトレジスタ出力信号の重なり部分となる1次パルス信号 B_{n+1} のA部分が前段の2次パルス信号の立ち下がりまで除去され、さらに遅延回路 DLY により所定時間 t 遅延される。

【0028】従って、図10に示すように、スイッチングトランジスタ S_n とスイッチングトランジスタ S_{n+1} を駆動するパルス信号（アナログスイッチ制御信号） ϕ_n とパルス信号 ϕ_{n+1} とが重なる部分Aが除去され、且つ所定時間 t 遅延させることにより、理想的にはゴーストの発生が抑制される。

【0029】

【発明が解決しようとする課題】しかし実際には、シフトレジスタ出力信号となるシフトパルス D_n 即ち、アナログスイッチは、入力されるスタートパルスXSTに対し、図11に示すようになる。

【0030】このシフトパルス D_n （実線）は、図9に示したレジスタに含まれるフリップフロップ回路の内部遅延により、方形波のスタートパルスXSTが微分された波形で出力されたものである。

【0031】このシフトパルス D_n の立上り特性は、主にフリップフロップ内部のクロックインバータを構成するpchTFTの電圧-電流特性に依存し、一方、立下り特性はnchTFTの電圧-電流特性に依存している。

【0032】一般にnchTFTの移動度はpchTFTの移動度よりも高い、このため、特性のばらつきの絶対量は、nchTFTの方が大きい。さらに、nchTFTに、いわゆるLDD（Lightly Doped Drain）構造を採用した場合、pchTFTよりも製造工程が複雑になり、ガラス基板上に回路素子を形成する関係もあり、注入された不純物の濃度のばらつきなどが影響するなど、プロセス起因による特性ばらつきが大きくなる。

【0033】従って、シフトパルス D_n の過渡特性のばらつきは、立ち上がり時のばらつき m よりも立ち下がり時のばらつき n の方が大きくなる。パルス信号 ϕ_n の立ち下がりにより、アナログスイッチのサンプリングタイミングが決定される従来の技術において、各フリップフロップ回路の特性のばらつきが原因となって、各アナログスイッチのサンプリング動作と映像信号との間に同期が取れなくなり、所望の映像信号が書き込まれない恐れがある。その結果、ゴーストを許容レベル内に納めることができなくなる恐れがあった。

【0034】そこで本発明は、液晶画素と、ゴーストの発生を防止し、且つ表示レベル劣化を防止すると共に、その向上を図り、前記液晶画素を駆動するタイミング制御回路と、が同一基板上に形成された液晶表示素子を提供することを目的とする。

【0035】

【課題を解決するための手段】本発明は上記目的を達成するために、絶縁基板上にマトリクス状に配列された走査線と信号線との各交差部分に配置され、前記信号線にトランジスタを介して接続された液晶画素と、前記絶縁基板上に形成され、各々の前記信号線に映像信号を選択的な切り替えにより供給するスイッチ部と、互いにカスケード接続され、シフトパルスを所定のクロック信号に同期して順次次段に転送し、且つ並列的に出力する複数のフリップフロップ回路により構成されるシフトレジスタと、互いに隣接する前記フリップフロップ回路の出力パルスが入力され、これら出力パルスの反転論理積信号を生成し出力する重複検出回路と、前記互いに隣接するフリップフロップ回路のうち、前段のフリップフロップ回路から出力される出力パルスと前記反転論理積信号が入力され、該出力パルスと反転論理積信号との論理積信号を生成し出力する出力回路とで構成される液晶表示素子を提供する。

【0036】以上のような構成の液晶表示素子は、隣り

合うシフトレジスタの出力信号の重なりを論理回路によって検出し、その検出した信号によって、アナログスイッチ制御信号を強制的にオン・オフの切り換えを行う。即ち後段のシフトレジスタ出力の立ち上がりタイミングによって前段のシフトレジスタに接続されるアナログスイッチの動作タイミングが決定されるため、各アナログスイッチ間で動作タイミングの遅延にばらつきが生じ難くなり、良好な表示を得ることができる。

【発明の実施の形態】以下、図面を参照して本発明の実施形態について詳細に説明する。

【0037】図1には、本発明による液晶表示素子の第1の実施形態に係る液晶表示素子と、その液晶表示素子を駆動するタイミング制御回路を搭載した信号線駆動回路の一例を示し、説明する。

【0038】本実施形態は、複数の直列接続（カスケード接続）されたシフトレジスタ11（11a, 11b, …11n）と、複数のビデオバスライン12（12a, 12b, …12n）と、隣り合うシフトレジスタ11（例えば、シフトレジスタ11aとシフトレジスタ11b）の2つのシフトレジスタ出力信号を入力するNAND回路13（13a, 13b, …13n）と、前記シフトレジスタ11の各シフトレジスタ出力信号をそれぞれ入力するバッファ回路14（14a, 14b, …14n）と、隣り合うNAND回路13（例えば、13aと13b）のそれぞれの出力及びバッファ回路14（例えば、バッファ回路14b）の出力を入力とするAND回路15（15a, 15b, …15n）と、前記AND回路15から出力したアナログスイッチ制御信号（タイミング制御信号）により開閉動作を行うアナログスイッチ群16（16a, 16b, …16n）と、液晶画素がマトリックス状に配置された表示領域17と、アナログスイッチ群16を通じて、表示領域17内のそれぞれの液晶画素（図示せず）に映像信号を与える信号線18とで構成される。

【0039】ここで前記表示領域の構成については後述する図3の構成と同じであり、液晶表示素子は、液晶セルと薄膜トランジスタ（能動素子）TFTとの対からなり、さらに垂直走査部を有しているが、図1では記載を省略している。尚、AND回路15aのみ前段のNAND回路出力がなく、1つのNAND回路13aとバッファ回路14aとの2入力となる。

【0040】前記AND回路15は、バッファ回路14から出力されるシフトレジスタ出力信号の前端と後端を、図中両隣に配置されたNAND回路13の各出力信号に基づきそれぞれ除去し、アナログスイッチ制御信号（タイミング制御信号）として出力する。このシフトレジスタ出力信号の後端は、後続して出力されるシフトレジスタ出力信号の前端が立ち上がった（オンした）時に、除去される。

【0041】図2には、図1に示した信号線駆動回路に

おける駆動波形を示し、動作について説明する。この図では、制御信号XST, XCK及び/XCK、シフトレジスタ出力信号e、NAND回路出力信号f、AND回路出力信号即ち、アナログスイッチ制御信号a、及び映像信号印加電圧波形bのそれぞれの波形を示している。

【0042】この信号線駆動回路には、制御信号XST, XCK及び/XCKの3種類の制御信号が入力される。この制御信号XSTは、制御信号XCKの立ち下がりに同期して、順次シフトしていくが、シフトレジスタ出力信号eが回路遅延や波形なまりが原因となって、制御信号XCKの立ち下がりに遅れて立ち上がり（矢印A）、また次の制御信号XCKの立ち下がりに遅れて立ち下がる（矢印B）、シフトパルス遅延が発生している。

【0043】このシフトパルス遅延は、従来の問題点として述べたようにシフトレジスタの内部遅延により生じ、製造時に発生したTFTの特性ばらつき等により、シフトレジスタ出力信号eの立下り時間には、立ち上がり時よりも大きなばらつきが生じる。

【0044】従って、図2で示すように、隣り合うシフトレジスタ出力信号eを入力としたNAND回路出力信号fのパルス幅は、シフトパルスの遅延量を反映したものとなる（矢印C, D）。但し、隣り合うシフトレジスタ11に重なりが無い場合には、NAND回路出力信号fは高電圧レベル一定となる。

【0045】本実施形態は、各NAND回路出力信号fが、各段のシフトレジスタ11の遅延や波形なまりを反映した信号波形となっているが、この信号波形を利用して、アナログスイッチ制御信号aのH, Lレベルを発生させ、即ちオン・オフ切替を実行するため（矢印E）、図2に示したAND回路出力信号即ち、アナログスイッチ制御信号aは、信号間に前記パルス幅に準じる隙間ができ、隣り合っても重なり合うことが無くなる。

【0046】換言すれば、各アナログスイッチのサンプリングタイミングは、過渡特性ばらつきの少ない立ち上がり波形を利用して決定されるため、クロックに対する遅延量のばらつきを抑制することができる。

【0047】従って、本発明によれば、隣り合うアナログスイッチ16が同時に開とすることがなくなり、1水平周期前に充電されていた次ブロックの電圧が隣のアナログスイッチ16を介して漏れてくることは防止され、適正に所望する映像信号印加電圧を信号線に充電することができ、表示領域17にゴーストが発生しなくなる。

【0048】次に図3には、本発明による第2の実施形態に係る液晶表示素子の構成例を示し、説明する。

【0049】前述した第1の実施形態のAND回路15においては、例えば、AND回路15bには、シフトレジスタ11の出力（バッファ回路14bの出力）と、隣り合うNAND回路13aとNAND回路13bのそれぞれの出力との3つの信号が入力していた。このため、

図2のNAND出力信号に示すように、シフトレジスタ出力信号eの重なった部分が除去されるため、先のアナログスイッチ制御信号と、後続するアナログスイッチ制御信号との間が重なり部分の間隔だけ離れることとなる。

【0050】しかし実用するにあつては、先のアナログスイッチ制御信号と、後続するアナログスイッチ制御信号とが重ならなければ、信号間にスペースは無くてもよい。

【0051】そこで第2の実施形態では、図3に示すように、NAND回路13(13a, 13b, …13n)において、隣り合う2つのシフトレジスタ11(例えば、11aと11b)から出力されたシフトレジスタ出力信号eをそれぞれ入力して、前段の2端子入力のAND回路19(例えば、19a)のみにNAND回路13aの出力信号fを入力する。

【0052】よって、AND回路19は、バッファ11の出力信号とNAND回路13の出力信号fとの論理積によるアナログスイッチ制御信号aをアナログスイッチ群16に出力する。

【0053】表示領域17に配置される複数の液晶表示素子は、例えば、マトリックス状に配置され、各液晶表示素子は、液晶セルと薄膜トランジスタ(能動素子)TFTとの対からなり、さらに垂直走査部20を有している図4は、本実施形態の信号線駆動回路の各信号波形を示す。

【0054】この図において、シフトレジスタ出力信号e(例えば、e1, e2)が重なり部分を持っていた場合、シフトレジスタ出力信号e2が立ち上がると、NAND回路13の出力信号fが立ち下がる。その時に、アナログ制御信号a1(後端が除去されたシフトレジスタ出力信号e1)が立ち下がる。

【0055】このアナログ制御信号a1が立ち下がると同時に、アナログ制御信号a2(シフトレジスタ出力信号e2)が立ち上がる。

【0056】以上詳述したように本発明によれば、連続するシフトレジスタ信号に重なりが生じ、しかも重なり量にばらつきがあつても、後続するアナログスイッチ制御信号の立ち上がりによって、先のアナログスイッチ制御信号が強制的に立ち下げてしまうことにより、重なり部分を除去することが可能となる。

【0057】またアナログスイッチ制御信号において、立ち下がりにばらつきが大きい、後端側を除去し、ばらつきの小さい立ち上がりに基づき、信号切り替えを行うことにより、アナログスイッチ制御信号(シフトレジスタ出力信号)の後端とクロック信号との遅延量のばらつきは小さく、アナログスイッチ制御信号と映像信号との

位相を合わせてやるだけで、スイッチングのタイミングを調整することができる。

【0058】

【発明の効果】以上詳述したように本発明によれば、液晶画素と、ゴーストの発生を防止し、且つ表示レベル劣化を防止すると共に、その向上を図り、前記液晶画素を駆動するタイミング制御回路と、が同一基板上に形成された液晶表示素子を提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明による第1の実施形態に係る液晶表示素子を駆動するタイミング制御回路を搭載した信号線駆動回路の概略的な構成例を示す図である。

【図2】図2は、図1に示した信号線駆動回路の動作を説明するための波形を示す図である。

【図3】図3は、本発明による第2の実施形態に係る液晶表示素子を駆動するタイミング制御回路を搭載した信号線駆動回路の概略的な構成例を示す図である。

【図4】図4は、図3に示した信号線駆動回路の動作を説明するための波形を示す図である。

【図5】図5は、従来の信号線駆動回路の概略的な構成を示す図である。

【図6】図6は、従来の信号線駆動回路の動作を説明するための波形を示す図である。

【図7】図7は、従来のアナログスイッチ制御信号に重なりが無い時のアナログスイッチ制御信号と映像信号電圧波形を示す図である。

【図8】図8は、従来のアナログスイッチ制御信号に重なりのある時のアナログスイッチ制御信号と映像信号電圧波形を示す図である。

【図9】図9は、アナログスイッチ制御信号における重なりを防止した従来の信号線駆動回路の一構成例を示す図である。

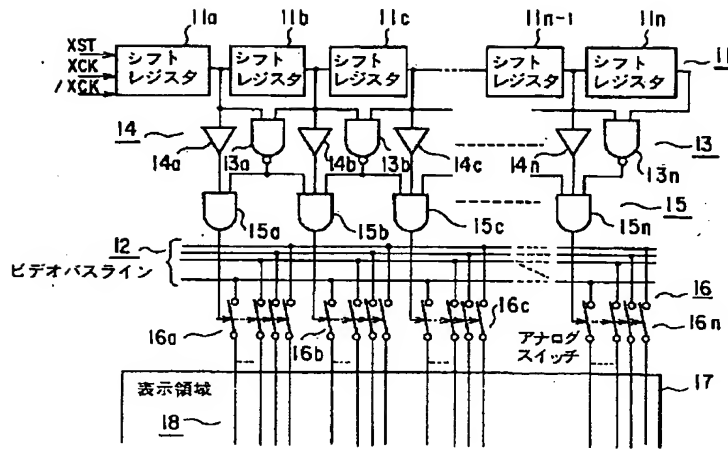
【図10】図10は、図8に示した信号線駆動回路の動作を説明するための波形を示す図である。

【図11】図11は、シフトレジスタの映像信号印加電圧波形における立ち上がりと立ち下りの過渡特性ばらつきについて説明するための図である。

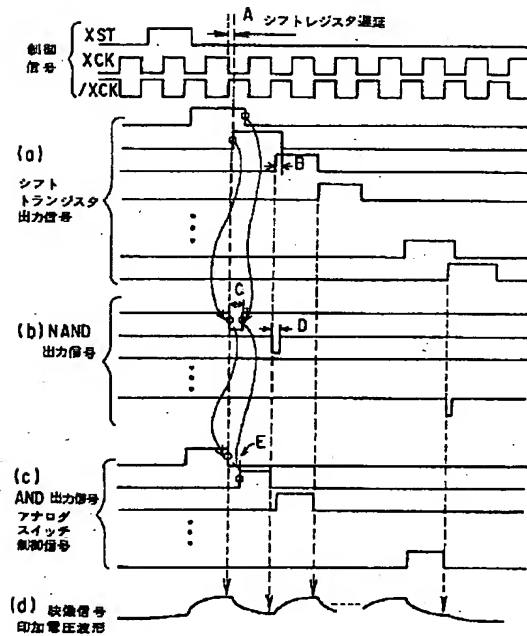
【符号の説明】

11, 11a, 11b, …11n…シフトレジスタ
12, 12a, 12b, …12n…ビデオバスライン
13, 13a, 13b, …13n…NAND回路
14, 14a, 14b, …14n…バッファ回路
15, 15a, 15b, …15n…AND回路
16, 16a, 16b, …16n…アナログスイッチ群)
17…表示領域
18…信号線

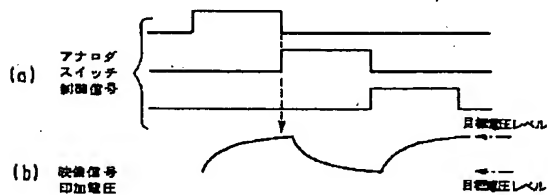
【図1】



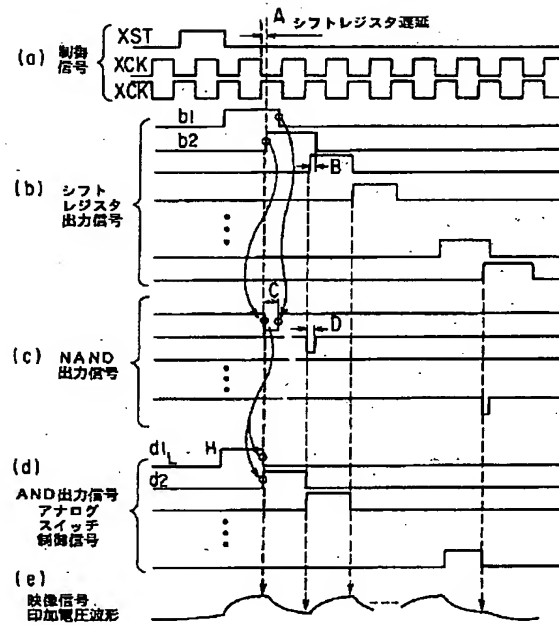
【図2】



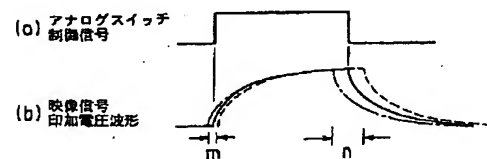
【図7】



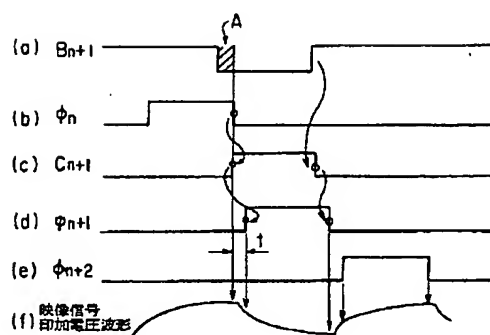
【図4】



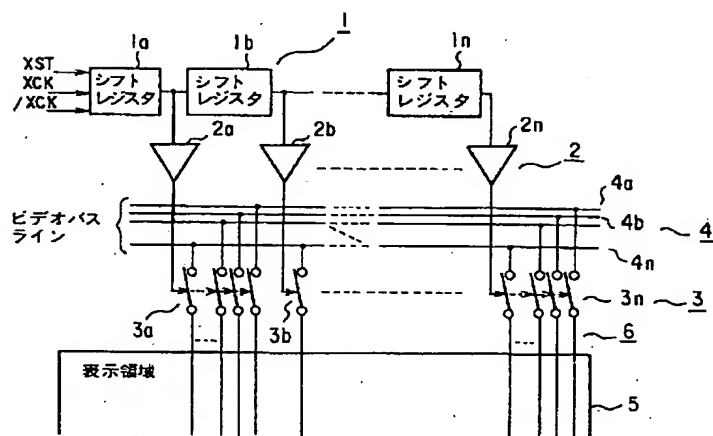
【図11】



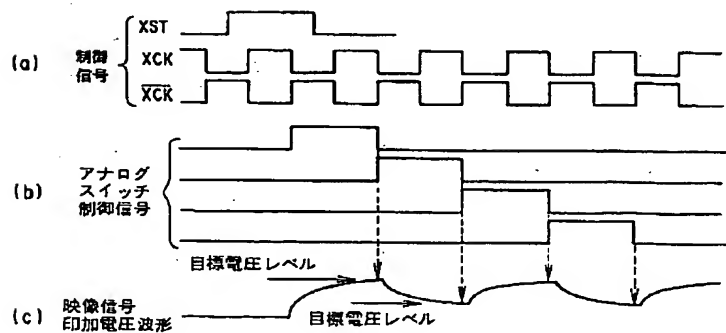
【圖 10】



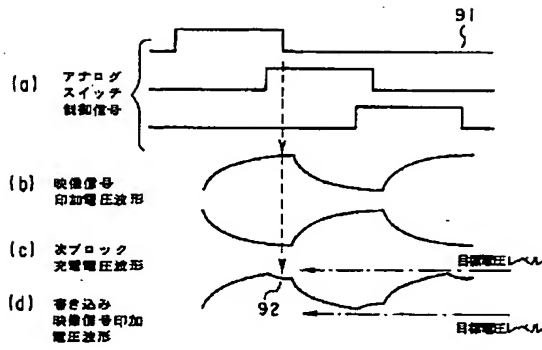
【図5】



【圖 6】



【図8】



【図9】

